**СИЛЛАБУС**

**2020-2021 оқу жылының көктемгі семестрі**

**«Логикалық интегралдық схемаларды программалау» білім беру бағдарламасы**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Пәннің коды** | **Пәннің атауы** | **Студенттің өзіндік жұмысы (СӨЖ)** | **Сағат саны**  | **Кредит саны** | **Студенттің оқытушы басшылығымен өзіндік жұмысы (СОӨЖ)**  |
| **Дәрістер (Д)** | **Практ. сабақтар (ПС)** | **Зерт. сабақтар (ЗС)** |
| PLIS 3223 | Логикалық интегралдық схемаларды программалау | 6 | 15 | 15 | 30 | 3 | 6 |
| **Курс туралы академиялық ақпарат** |
| **Оқытудың түрі** | **Курстың типі/сипаты** | **Дәріс түрлері** | **Практикалық сабақтардың түрлері** | **СӨЖ саны** | **Қорытынды бақылау түрі** |
| Онлайн | АраласТеоретиялық және практикалық | Ақпараттық | Есептер шығару, ситуациялық тапсырмалар | 6 | Тест |
| **Дәріскер** | Жексебай Даурен Мурзатулы | Оф/с | Кесте бойынша |
| **e-mail** | zhexebay92@gmail.com |
| **Телефондары** | +77081082126 |

|  |
| --- |
| **Курстың академиялық презентациясы** |

|  |  |  |
| --- | --- | --- |
| **Пәннің мақсаты** | **Оқытудың күтілетін нәтижелері (ОН)**Пәнді оқыту нәтижесінде білім алушы қабілетті болады: | **ОН қол жеткізу индикаторлары (ЖИ)** (әрбір ОН-ге кемінде 2 индикатор) |
| FPGA негізінде сандық құрылғыларды әзірлеу қабілетін қалыптастыру | **ОН 1** Жабдықты сипаттау тілдері туралы түсінік қалыптастыру, Verilog тілі негізінде логикалық элеметтердің, комбинациялық құрылғыларды, синхронды логиканың элеметтерін құрудың жалпы принциптері туралы, бағдарламаланатын логикалық интегралды схемалар және олардың архитектурасы жайлы түсінік алу.  | **ЖИ 1.1** Бағдарламаланатын логикалық интегралды схемалардың жұмыс жасау прицинін білу.**ЖИ 1.2** Жабдықты сипаттау тілінің лексикалық элеметтерін білу.**ЖИ 1.3** Verilog тілінің негізгі синтаксистерін қолдану. |
| **ОН 2** Сандық электроника элементтерін, тізбекті синхронды логика элементтерін жобалау және олардың жұмыс істеу принциптерін түсіну, сонымен қатар Verilog тілінің операторларын қолдана білу. | **ЖИ 2.1** Бағдарламаланатын логикалық интегралды схемаларды жобалау.**ЖИ 2.2** Сандық электроника құрылғыларын жобалауға арналған Verilog тілінің элементтерін қолдану. |
| **ОН 3** FPGA негізінде сандық құрылғыларды жобалау, телекоммуникация саласындағы қолданысын білу, ғылыми жобаларды іске асыруда алған білімін қолдану, ғылыми-зерттеу қызметі барысында туындайтын және терең кәсіби білімді қажет ететін мәселелерді тұжырымдау және шешу. | **ЖИ 3.1** Verilog тілінің негізгінде сандық сигналды өңдеуде қолдану.**ЖИ 3.2** Бағдарламаланатын логикалық интегралды схемаларды ақрататты кодтауда қолдану. |
|  |  |
| **Пререквизиттер** | Сандық электроника негіздері, Электронды жүйелердің схемотехникасы |
| **Постреквизиттер** | Телекоммуникациялық жұйелердегі ақпаратты қорғау әдістері, Радиоэлектрондық жүйелердің компьютерлік жобалау негіздері |
| **Әдебиет және ресурстар** | 1. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. - М.: Изд. дом «Додэка-ХХI», 2007. - 408 с.2. Cтернхейм Э., Сингх Р., Триведи Я. Проектирование цифровых схем на языке описания аппаратуры VERILOG. - МОСКВА, 1992. - 278 с.3. Поляков А. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. -М.: СОЛОН-Пресс, 2010. - 320 с.**Онлайн режимінде:** оқытылып жатқан курс бойынша қосымша білім беру материалдары, сондай-ақ аудиториялық сабақтарға дайындық бойынша ұсыныстар, univer.kaznu.kz веб-сайтындағы ПОӘК бөліміндегі парақшаңызда қол жетімді. |

|  |  |
| --- | --- |
| **Университеттік моральдық-этикалық құндылықтар шеңберіндегі курстың академиялық саясаты** | **Академиялық тәртіп ережелері:** Барлық білім алушылар ЖООК-қа тіркелу қажет. Онлайн курс модульдерін өту мерзімі пәнді оқыту кестесіне сәйкес мүлтіксіз сақталуы тиіс.**НАЗАР АУДАРЫҢЫЗ!** Дедлайндарды сақтамау баллдардың жоғалуына әкеледі! Әрбір тапсырманың дедлайны оқу курсының мазмұнын жүзеге асыру күнтізбесінде (кестесінде), сондай-ақ ЖООК-та көрсетілген.**Академиялық құндылықтар:**- Практикалық / зертханалық сабақтар, СӨЖ өзіндік, шығармашылық сипатта болуы керек.- Бақылаудың барлық кезеңінде плагиатқа, жалған ақпаратқа, көшіруге тыйым салынады. - Мүмкіндігі шектеулі студенттер zhexebay92@gmail.com е-мекенжайы бойынша консультациялық көмек ала алады.  |
| **Бағалау және аттестаттау саясаты** | **Критериалды бағалау:** дескрипторларға сәйкес оқыту нәтижелерін бағалау (аралық бақылау мен емтихандарда құзыреттіліктің қалыптасуын тексеру).**Жиынтық бағалау:** аудиториядағы (вебинардағы) жұмыстың белсенділігін бағалау; орындалған тапсырманы бағалау. |

**ОҚУ КУРСЫНЫҢ МАЗМҰНЫН ЖҮЗЕГЕ АСЫРУ КҮНТІЗБЕСІ (кестесі)**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Апта / модуль | Тақырып атауы | ОН | ЖИ | Сағат саны | Ең жоғары балл | Білімді бағалау формасы  | Сабақты өткізу түрі / платформа |

|  |
| --- |
| **Модуль 1** |
| 1 | **Д1.** Кіріспе. FPGA негізгі түсініктері. FPGA классификациясы. | ОН 1 | ЖИ 1.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 1 | **ПС1.** Жабдықты сипаттау тілдері. Verilog HDL тіліне кіріспе. Тілдің лексикалық элементтері. | ОН 1  | ЖИ 1.2 | 1 | 8 | Талдау | MS Teams-та вебинар  |
| 1 | **ЗС1.** EDA Playground ортасында қарапайым логикалық схемаларды жобалау. | ОН 1  | ЖИ 1.3 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 2 | **Д2.** FPGA даму тарихы. | ОН 1 | ЖИ 1.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 2 | **ПС2.** Мәліметтер түрлері, күйлері. Регистрлар және тізбектер. Параметрлер. | ОН 1 | ЖИ 1.2 | 1 | 8 | Проблемалық тапсырма | MS Teams-та вебинар  |
| 2 | **ЗС2.** EDA Playground ортасында комбинациялық схемаларды жобалау. | ОН 1 | ЖИ 1.3 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 3 | **Д3.** FPGA бағдарламалауы немесе конфигурациясы. Xilinx FPGA архитектурасы. | ОН 1 | ЖИ 1.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 3 | **ПС3.** Case таңдау операторы. | ОН 1 | ЖИ 1.2 | 1 | 8 | Талдау | MS Teams-та вебинар  |
| 3 | **ЗС3.** EDA Playground ортасында комбинациялық құрылғыларды (шифратор, дешифратор, мультиплексор, демультиплексор) жобалау. | ОН 1 | ЖИ 1.3 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 3 | **СОӨЖ 1. СӨЖ 1 орындау бойынша консультация** |  |  |  |  |  | MS Teams-та вебинар |
| 3 | **СӨЖ 1.** FPGA, микропроцессор және ASIC схемалары арасындағы байланыс және ерекшеліктері. | ОН 1 | ЖИ 1.1 |  | 15 | ЖТ  |  |
| 4 | **Д4.** FPGA қолдануы және мақсаты. | ОН 1 | ЖИ 1.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 4 | **ПС4.** Модульдер. Айнымалыларға мән беру. If тармақтау операторы. Шартты оператор. | ОН 1 | ЖИ 1.2 | 1 | 8 | Талдау | MS Teams-та вебинар  |
| 4 | **ЗС4.** EDA Playground ортасында синхронды логика элементтерін жобалау. | ОН 1 | ЖИ 1.3 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 5 | **Д5.** Сандық логикалық тізбектерді сипаттайтын тілдер. | ОН 1 | ЖИ 1.1ЖИ 1.2 | 1 |  |  | MS Teams-та бейнедәріс |
| 5 | **ПС5.** Процесс-блоктар (always блоктар). Бастапқы күйлерді орнатуға арналған блоктар.  | ОН 1 | ЖИ 1.2 | 1 | 8 | Талдау | MS Teams-та вебинар  |
| 5 | **ЗС5.** EDA Playground ортасында синхронды логика элементтерін жобалау. | ОН 1 | ЖИ 1.3 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 5 | **СОӨЖ 2. СӨЖ 2 орындау бойынша консультация** |  |  |  |  |  | MS Teams-та вебинар |
| 5 | **СӨЖ 2.** Verilog HDL және VHDL тілдерінің ұқсастықтары мен ерекшеліктері. | ОН 1 | ЖИ 1.2 |  | 15 | ЖТ |  |
| 5 | **АБ 1** | ОН 1 | ЖИ 1.1ЖИ 1.2ЖИ 1.3 |  | 100 |  |  |
| **Модуль 2**  |
| 6 | **Д6.** FPGA жетекші өндірушілері және сандық схеманы іске асыру орталары. | ОН 2 | ЖИ 2.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 6 | **ПС6.** Verilog тілінің операторлары: ығысу операторлары. | ОН 2 | ЖИ 2.2 | 1 | 8 | Проблемалық тапсырма | MS Teams-та вебинар |
| 6 | **ЗС6.** EDA Playground ортасында ығыстыру регистрін жобалау. | ОН 2 | ЖИ 2.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 7 | **Д7.** FPGA негізінде сандық құрылғыларды схемотехникалық жобалау. | ОН 2 | ЖИ 2.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 7 | **ПС7.** Verilog тілінің операторлары: арифметикалық амалдар, салыстырмалы амалдар, салыстыру операторлары.  | ОН 2 | ЖИ 2.2 | 1 | 8 | Талдау | MS Teams-та вебинар |
| 7 | **ЗС7.** EDA Playground ортасында санағыш, таймер құрылғысын жобалау.  | ОН 2 | ЖИ 2.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 8 | **Д8.** Сандық сигналдарды өңдеу құралдарын жобалау. | ОН 2 | ЖИ 2.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 8 | **ПС8.** Verilog тілінің операторлары: логикалық амалдар және биттік логикалық амалдар. | ОН 2 | ЖИ 2.2 | 1 | 8 | Проблемалық тапсырма | MS Teams-та вебинар |
| 8 | **ЗС8.** EDA Playground ортасында жиілік бөлгіш, PWM құрылғысын жобалау. | ОН 2 | ЖИ 2.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 8 | **СОӨЖ 3. СӨЖ 3 орындау бойынша консультация** |  |  |  |  |  | MS Teams-та вебинар |
| 8 | **СӨЖ 3.** Бір чипті жүйе. | ОН 2 | ЖИ 2.1ЖИ 2.2 |  | 15 | ЖТ |  |
| 9 | **Д9.** Кіріктірілген микропроцессорлы құрылғыларды жобалау. | ОН 2 | ЖИ 2.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 9 | **ПС9.** Тізбектер мен регистрлердің биттік адресі. Жады элементінің адресі. | ОН 2 | ЖИ 2.2 | 1 | 8 | Талдау | MS Teams-та вебинар |
| 9 | **ЗС9.** EDA Playground ортасында жады модулін жобалау. | ОН 2 | ЖИ 2.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 10 | **Д10.** Зияткерлік меншік блоктары.  | ОН 2 | ЖИ 2.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 10 | **ПС10.** Функцияларды жариялау. | ОН 2 | ЖИ 2.2 | 1 | 8 | Талдау | MS Teams-та вебинар |
| 10 | **ЗС10.** EDA Playground ортасында жады модулін жобалау. | ОН 2 | ЖИ 2.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 10 | **СОӨЖ 4. СӨЖ 4 орындау бойынша консультация** |  |  |  |  |  | MS Teams-та вебинар |
| 10 | **СӨЖ 4.** Телекомуникация саласында FPGA қолданысы. | ОН 2 | ЖИ 2.1ЖИ 2.2 |  | 15 | ЖТ |  |
| 10 | **МТ (Midterm Exam)** | ОН 2 | ЖИ 2.1ЖИ 2.2 |  | 100 |  |  |
| **Модуль 3** |
| 11 | **Д11.** Гигабиттік таратып-қабылдағыштар. | ОН 3 | ЖИ 3.1 |  |  |  | MS Teams-та бейнедәріс |
| 11 | **ПС11.** Кірістірілген примитивтер. Әзірлеуші примитивтерін жариялау. | ОН 3 | ЖИ 3.1 | 1 | 8 | Талдау | MS Teams-та вебинар |
| 11 | **ЗС11.** EDA Playground ортасында Хэмминг кодын жобалау. | ОН 3 | ЖИ 3.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 12 | **Д12.** FPGA құрылғысын аэроғарыштық өндірісте қолдану. | ОН 3 | ЖИ 3.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 12 | **ПС12.** Цикл операторлары: for операторы | ОН 3 | ЖИ 3.1 | 1 | 8 | Талдау | MS Teams-та вебинар |
| 12 | **ЗС12.** EDA Playground ортасында Хэмминг кодын жобалау. | ОН 3 | ЖИ 3.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 12 | **СОӨЖ 5. СӨЖ 5 орындау бойынша консультация** |  |  |  |  |  | MS Teams-та вебинар |
| 12 | **СӨЖ 5.** Python тілі негізінде FPGA құрылғысын жобалау | ОН 3 | ЖИ 3.1ЖИ 3.2 |  | 15 | ЖТ |  |
| 13 | **Д13.** FPGA негізінде қазіргі заманғы деректер орталын жеделдету. | ОН 3 | ЖИ 3.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 13 | **ПС13.** Цикл операторлары: while операторы | ОН 3 | ЖИ 3.1 | 1 | 8 | Талдау | MS Teams-та вебинар |
| 13 | **ЗС13.** EDA Playground ортасында ақпартты кодтау әдісін жобалау. | ОН 3 | ЖИ 3.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 14 | **Д14.** FPGA негізінде 5G желісін іске асыру. | ОН 3 | ЖИ 3.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 14 | **ПС14.** Цикл операторлары: repeat, forever операторлары | ОН 3 | ЖИ 3.1 | 1 | 8 | Талдау | MS Teams-та вебинар |
| 14 | **ЗС14.** EDA Playground ортасында ақпартты декодтау әдісін жобалау. | ОН 3 | ЖИ 3.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 15 | **Д15.** FPGA-да нейрондық желілерді іске асыру. | ОН 3 | ЖИ 3.1 | 1 |  |  | MS Teams-та бейнедәріс |
| 15 | **ПС15.** Xilinx Blockset кітапханасын қолдану арқылы сандық схема құру. | ОН 3 | ЖИ 3.1 | 1 | 8 | Талдау | MS Teams-та вебинар |
| 15 | **ЗС15.** EDA Playground ортасында ақпартты сандық өңдеуді жобалау. | ОН 3 | ЖИ 3.2 | 2 | 6 | Программалау | MS Teams-та вебинар |
| 15 | **СОӨЖ 6. СӨЖ 6 орындау бойынша консультация** |  |  |  |  |  | MS Teams-та вебинар |
| 15 | **СӨЖ 6.** Жасанды интеллект саласында FPGA құрылғысының артықшылықтары мен кемшіліктері. | ОН 3 | ЖИ 3.1ЖИ 3.2 |  | 15 | ЖТ |  |
| 15 | **АБ2** |  |  |  | 100 |  |  |

[Қысқартулар: ӨТС – өзін-өзі тексеру үшін сұрақтар; ТТ – типтік тапсырмалар; ЖТ – жеке тапсырмалар; БЖ – бақылау жұмысы; АБ – аралық бақылау.

Ескертулер:

- Д және ПС өткізу түрі: MS Team/ZOOM-да вебинар (10-15 минутқа бейнематериалдардың презентациясы, содан кейін оны талқылау/пікірталас түрінде бекіту/есептерді шешу/...)

- БЖ өткізу түрі: вебинар (бітіргеннен кейін студенттер жұмыстың скриншотын топ басшысына тапсырады, топ басшысы оларды оқытушыға жібереді) / Moodle ҚОЖ-да тест.

- Курстың барлық материалдарын (Д, ӨТС, ТТ, ЖТ және т.б.) сілтемеден қараңыз (Әдебиет және ресурстар, 6-тармақты қараңыз).

- Әр дедлайннан кейін келесі аптаның тапсырмалары ашылады.

- БЖ-ға арналған тапсырмаларды оқытушы вебинардың басында береді.]

Декан ДавлетовА.Е.

Методбюро төрағасы Габдуллина А.Т.

Кафедра меңгерушісі Ибраимов М.К.

Дәріскер Жексебай Д.М.